

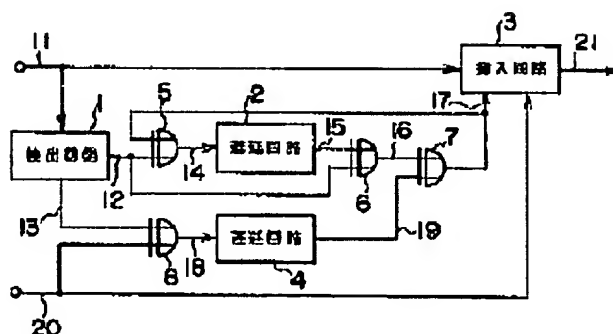
## MONITOR DATA REPLACEMENT CIRCUIT

**Patent number:** JP6350573  
**Publication date:** 1994-12-22  
**Inventor:** YAMAMOTO RIEKO  
**Applicant:** NIPPON ELECTRIC CO  
**Classification:**  
 - International: H04L1/00; H04J3/14  
 - european:  
**Application number:** JP19930140298 19930611  
**Priority number(s):** JP19930140298 19930611

Report a data error here

### Abstract of JP6350573

**PURPOSE:** To make the scale of the circuit small. **CONSTITUTION:** A detection circuit 1 detects monitor data and data before insertion from a main signal 11 to provide an output of them to output terminals 12, 13. An exclusive OR circuit 8 gives the difference between inserted data and data from the output terminal 13 to a delay circuit 4 and outputs the resulting data to an output terminal 19 in matching with replacement timing of monitor data of a succeeding frame. An exclusive OR circuit 5 gives the difference between the data from output terminal 17, 12 to a delay circuit 2 to provide an output of resulting data to an output terminal 15 in matching with replacement timing of monitor data of a succeeding frame. An exclusive OR circuit 6 provides an output of the sum of the data from the output terminals 15, 12 to an output terminal 16. An exclusive OR circuit 7 provides the output of the sum of the data from the output terminals 16, 19 to an output terminal 17. An insertion circuit 3 inserts data from output terminals 20, 17 to the main signal 11.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-350573

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 1/00

D 9371-5K

H 0 4 J 3/14

A 9299-5K

審査請求 有 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平5-140298

(22) 出願日 平成5年(1993)6月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山本 理恵子

東京都港区芝五丁目7番1号 日本電気株式会社社内

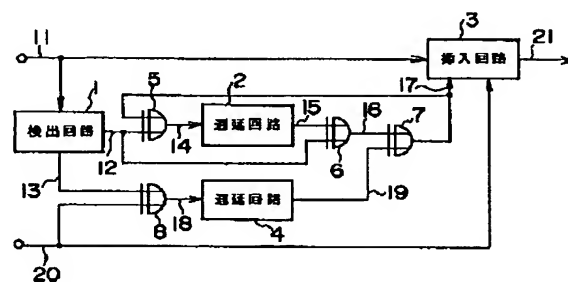
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 監視データ付け替え回路

(57) 【要約】 (修正有)

【目的】 回路の規模を小さくする。

【構成】 検出回路1は主信号11から監視データと挿入前データを検出して出力端子12と13に出力する。排他的論理和回路8は、挿入データと出力端子13からのデータの差を遅延回路4に与えてデータを次フレームの監視データの付け替えタイミングに合わせて出力端子19に出力する。排他的論理和回路5は、出力端子17と12からのデータの差を遅延回路2に与えてデータを次フレームの監視データの付け替えタイミングに合わせて出力端子15に出力する。排他的論理和回路6は出力端子15と12からのデータの和を出力端子16に出力する。排他的論理和回路7は出力端子16と19からのデータの和を出力端子17に出力する。挿入回路3は主信号11に出力端子20と17とのデータを挿入する。



1

## 【特許請求の範囲】

【請求項1】 回線を監視するために、1フレーム中のすべてのデータの和を計算し、そのパリティビットを監視用データとして次のフレームに持つような構成の主信号を送受信する回線監視区間で、主信号にデータを挿入するとともに監視データを付け替える監視データ付け替え回路において、主信号に新しいデータを挿入する場合に挿入点までの監視データを保持したまま監視データを付け替えることを特徴とする監視データ付け替え回路。

【請求項2】 回線を監視するために、1フレーム中のすべてのデータの和を計算し、そのパリティビットを監視用データとして次のフレームに持つような構成の主信号を送受信する回線監視区間で、主信号にデータを挿入するとともに監視データを付け替える監視データ付け替え回路において、データ挿入前の主信号を入力し監視データとこれからデータを挿入する位置のデータである挿入前データとを検出して出力する検出回路と、挿入データと前記検出回路からの出力である挿入前データとを入力してその差を出力する第1の排他的論理和回路と、前記第1の排他的論理和回路の出力を入力し次のフレームの監視データの付け替えに適するタイミングに遅らせて出力する第1の遅延回路と、第4の排他的論理和回路の出力である付け替え後監視データと前記検出回路からの出力である監視データとを入力しその差を出力する第2の排他的論理和回路と、前記第2の排他的論理和回路の出力を入力し次のフレームの監視データの付け替えに適するタイミングに遅らせて出力する第2の遅延回路と、前記検出回路からの出力である監視データと前記第2の遅延回路の出力とを入力しその和を出力する第3の排他的論理和回路と、前記第3の排他的論理和回路の出力と前記第1の遅延回路の出力とを入力しその和を付け替え後監視データとして出力する第4の排他的論理和回路と、データ挿入前の主信号と挿入データと前記第4の排他的論理和回路の出力である付け替え後監視データを入力しデータ挿入位置に挿入データを挿入し監視データ位置に付け替え後監視データを挿入して出力する挿入回路とを備えることを特徴とする監視データ付け替え回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、主信号に新しいデータを挿入する時に監視データを付け替えることのできる監視データ付け替え回路に関する。

## 【0002】

【従来の技術】 同期端局装置では、図1に示すように、N個のデータで主信号の1フレームを構成する。この時、1フレーム中の個々のデータ位置をタイムスロットと呼ぶが、すべてのタイムスロットをデータ領域として使用することは少なく、空きタイムスロットを設定して

2

付加情報や回線の監視情報などを送受信することが一般的である。TSとはタイムスロット (Time Slot) の略であり、TSの添え字はフレーム先頭からの数を示す。

【0003】 主信号が“0”または“1”の二つの値をとる場合の回線の監視方法の一つとして、1フレーム中に監視データ用のタイムスロットを一つ設定し、送信側で1フレーム中のすべてのタイムスロットのデータの和を計算し、そのパリティビットを次のフレームの監視データ用タイムスロットに挿入し、受信側でパリティチェックを行う方法がある。パリティを偶数に設定するか奇数に設定するかは、あらかじめ送受間で決めておく。

【0004】 ここで、送信側つまり回線監視区間の始点で監視用データを挿入してから受信側つまり回線監視区間の終点でパリティチェックを行うまでの間に、主信号の特定タイムスロットにデータを挿入しそれにより監視データを付け替える回路について考える。図2は、このような場合の主信号の構成の一例である。この例では、データを挿入する位置はTS<sub>2</sub>、監視データの位置はTS<sub>4</sub>であり、d<sub>0</sub>はTS<sub>2</sub>の挿入前データ、D<sub>0</sub>はTS<sub>2</sub>に挿入されたデータ、f<sub>0</sub>はTS<sub>2</sub>にデータを挿入する前の監視データ、F<sub>0</sub>はTS<sub>2</sub>にデータを挿入したことにより付け替わった監視データである。

【0005】 従来の監視データ付け替え回路は、回線監視区間で主信号に新しいデータを挿入する場合に、データを挿入するとともに監視データも付け替えることを目的として用いられている。

【0006】 図7は、従来の監視データ付け替え回路のブロック図である。説明を簡単にするために、図1に示すような主信号の構成の場合について動作を説明する。検出回路41は、入力主信号11からTS<sub>4</sub>の監視データ31を検出して比較回路43に与える。パリティ計算回路42は、入力主信号11の1フレーム中のすべてのタイムスロットのデータの和を計算してパリティビットを求めてパリティ計算結果32を比較回路43に与える。比較回路43は、現フレームから検出した監視データ31と前フレームのパリティ計算結果32とを比較した比較結果33を出力する。比較結果33は、回線監視区間の始点からこの従来の監視データ付け替え回路までの回線の監視情報である。

【0007】 パリティ計算回路44は、出力主信号21の1フレーム中のすべてのタイムスロットのデータの和を計算してパリティビットを求めてパリティ計算結果34を挿入回路3に与える。挿入回路3は、挿入データ20を入力主信号11のTS<sub>2</sub>に挿入し、前フレームのパリティ計算結果34を入力主信号11のTS<sub>4</sub>に挿入して21に出力する。この時、主信号のTS<sub>2</sub>にはd<sub>0</sub>の替わりにD<sub>0</sub>が挿入され、TS<sub>4</sub>にはf<sub>0</sub>の替わりにF<sub>0</sub>が挿入されており、データが挿入されているとともに監視データが付け替えられている。

【0008】

【発明が解決しようとする課題】この従来の監視データ付け替え回路では、特定のタイムスロットにデータを挿入した後の主信号について1フレーム中のすべてのタイムスロットのデータの和を計算してパリティビットを求め、それを新しい監視データとして主信号に挿入している。つまり回線監視区間の途中であるにも関わらず、回線監視区間の始点と同じ方法で監視データを付け替えているので、始点からこのデータ挿入点までの回線監視情報を保持することなく監視データを付け替えてしまっている。

【0009】このため、データの挿入点で始点から挿入点までの回線監視情報を取り出すための手段、例えば図7の検出回路41とパリティ計算回路42と比較回路43とからなる回路が必要になる。また、取り出した回線監視情報を回線監視区間の終点まで送信するための手段、例えば主信号の空きタイムスロットを使用するなどの手段が必要になる。また、終点では主信号の監視データを用いてパリティチェックを行うことにより取り出したデータ挿入点から終点までの回線監視情報と、データ挿入点から送信されてきた始点からデータ挿入点までの回線監視情報とを合わせて回線監視区間すべての監視情報として判断するための手段が必要になる。これら三つの手段は、回線監視区間内で主信号に新しいデータを挿入する場合に、データを挿入するとともに監視データも付け替える、という本来の目的とは無関係の余分な手段である。

【0010】従って、本発明の課題は、余分な手段をなくし、回線監視区間全体において回路の規模を小さくすることができる監視データ付け替え回路を提供することにある。

【0011】

【課題を解決するための手段】本発明によれば、回線を監視するために、1フレーム中のすべてのデータの和を計算し、そのパリティビットを監視用データとして次のフレームに持つような構成の主信号を送受信する回線監視区間内で、主信号にデータを挿入するとともに監視データを付け替える監視データ付け替え回路において、主信号に新しいデータを挿入する場合に挿入点までの監視データを保持したまま監視データを付け替えることを特徴とする監視データ付け替え回路が得られる。

【0012】また、本発明によれば、回線を監視するために、1フレーム中のすべてのデータの和を計算し、そのパリティビットを監視用データとして次のフレームに持つような構成の主信号を送受信する回線監視区間内で、主信号にデータを挿入するとともに監視データを付け替える監視データ付け替え回路において、データ挿入前の主信号を入力し監視データとこれからデータを挿入する位置のデータである挿入前データとを検出して出力する検出回路と、挿入データと前記検出回路からの出力

である挿入前データとを入力してその差を出力する第1の排他的論理和回路と、前記第1の排他的論理和回路の出力を入力し次のフレームの監視データの付け替えに適するタイミングに遅らせて出力する第1の遅延回路と、第4の排他的論理和回路の出力である付け替え後監視データと前記検出回路からの出力である監視データとを入力しその差を出力する第2の排他的論理和回路と、前記第2の排他的論理和回路の出力を入力し次のフレームの監視データの付け替えに適するタイミングに遅らせて出力する第2の遅延回路と、前記検出回路からの出力である監視データと前記第2の遅延回路の出力とを入力しその和を出力する第3の排他的論理和回路と、前記第3の排他的論理和回路の出力と前記第1の遅延回路の出力とを入力しその和を付け替え後監視データとして出力する第4の排他的論理和回路と、データ挿入前の主信号と挿入データと前記第4の排他的論理和回路の出力である付け替え後監視データを入力しデータ挿入位置に挿入データを挿入し監視データ位置に付け替え後監視データを挿入して出力する挿入回路とを備えることを特徴とする監視データ付け替え回路が得られる。

【0013】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0014】初めに、本発明における付け替え後監視データの求め方について説明する。

【0015】図2は本発明を使用する主信号の構成の一例である。前に述べたように、TSとはタイムスロット(Time Slot)の略であり、TSの添え字はフレーム先頭からの数を示す。この例では、データを挿入する位置はTS<sub>2</sub>、監視データの位置はTS<sub>4</sub>であり、d<sub>1</sub>はTS<sub>2</sub>の挿入前データ、D<sub>1</sub>はTS<sub>2</sub>に挿入されたデータ、f<sub>1</sub>はTS<sub>2</sub>にデータを挿入する前の監視データ、F<sub>1</sub>はTS<sub>2</sub>にデータを挿入したことにより付け替わった監視データである。いま、F<sub>2</sub>を求めることを考えて、その前のフレームのデータの変化についてのみに注目する。f<sub>2</sub>をF<sub>2</sub>に付け替える原因は、前のフレームでd<sub>1</sub>がD<sub>1</sub>に、f<sub>1</sub>がF<sub>1</sub>に替わったことのみである。なお、主信号は連続しているので、f<sub>1</sub>がF<sub>1</sub>に替わる原因は、f<sub>2</sub>をF<sub>2</sub>に付け替わるのと同様に、その前のフレームのデータの変化によるものである。f<sub>2</sub>は前のフレームのすべてのタイムスロットのデータの和を計算することにより求めることができるパリティビットであるから、f<sub>2</sub>からF<sub>2</sub>を求めるには、データ挿入前の前フレームから何が削除され、データ挿入後の前フレームに何が追加されているかを求めればよい。これにより、f<sub>2</sub>からd<sub>1</sub>とf<sub>1</sub>を引き、D<sub>1</sub>とF<sub>1</sub>とを足した値がF<sub>2</sub>であることがわかる。つまり、 $\{F_2 = f_2 - d_1 - f_1 + D_1 + F_1\}$ としてF<sub>2</sub>を求めることができる。これをnを用いて一般的な式で示すとF<sub>n</sub>は次の数1で表される。

【0016】

\* \* 【数1】

$$F_n - f_n - d_{(n-1)} + D_{(n-1)} - F_{(n-1)}$$

【0017】上記数1式と等価の回路を提供すれば、回線監視区間で主信号に新しいデータを挿入する場合に挿入点までの回線監視情報を保持したまま監視データを付け替えることができる回路を提供することになる。

【0018】次に、本発明の実施例における各部の動作について説明する。図3は、本発明の実施例を示すブロック図である。図を簡単にするために、主信号の1タイムスロットのデータが1ビットの場合について示してある。一般に“0”または“1”の二つの値をとる信号の和及び差は、いずれも排他的論理和回路によって求めることができる。また、図4、図5および図6は、いずれも図3の実施例の各部における動作を示す波形図の一例であり、同一時間内の波形図である。波形図中、主信号のTS<sub>2</sub>とTS<sub>4</sub>以外は特に関係ないので省略してあり、他の信号の×印の部分は過渡期のデータであり本発明に対して意味を持たないことを示す。以後、現在注目しているフレームの添え字をnとして説明を記す。

【0019】図3において、検出回路1は、入力主信号11から監視データf<sub>n</sub>を検出して出力端子12に出力し挿入前データd<sub>n</sub>を検出して出力端子13に出力する。排他的論理和回路8は、入力端子20からの挿入データD<sub>n</sub>と出力端子13からの挿入前データd<sub>n</sub>との差(D<sub>n</sub> - d<sub>n</sub>)を出力端子18に出力する。遅延回路4は、出力端子18からのデータを次のフレームの監視データの付け替えに適するタイミングに遅らせて出力端子19に出力する。

【0020】排他的論理和回路5は、出力端子17からの付け替え後監視データD<sub>n</sub>と出力端子12からの監視データf<sub>n</sub>との差(F<sub>n</sub> - f<sub>n</sub>)を出力端子14に出力する。遅延回路2は、出力端子14からのデータ(F<sub>n</sub> - f<sub>n</sub>)を次のフレームの監視データの付け替えに適するタイミングに遅らせて出力端子15に出力する。排他的論理和回路6は、出力端子15からの前フレームの付け替え後監視データと前フレームの監視データとの差と、出力端子12からの現フレームの監視データf<sub>n</sub>との和{F<sub>(n-1)</sub> - f<sub>(n-1)</sub> + f<sub>n</sub>}を出力端子16に出力する。

【0021】排他的論理和回路7は、出力端子16からのデータと、出力端子19からの前フレームの挿入データと前フレームの挿入前データとの差との和{F<sub>(n-1)</sub> - f<sub>(n-1)</sub> + f<sub>n</sub> + D<sub>(n-1)</sub> - d<sub>(n-1)</sub>}を出力端子17に出力する。挿入回路3は、TS<sub>2</sub>に出力端子20からの挿入データを挿入しTS<sub>4</sub>に出力端子17からの付け替え後監視データを挿入して出力端子21に出力する。この時、波形図からもわかるように、出力端子17からの付け替え後監視データは上記数1式を満足している。

【0022】従って、本発明は、回線を監視するために、1フレーム中のすべてのデータの和を計算し、そのパリティビットを監視用データとして次のフレームに持つような構成の主信号を送受信している回線監視区間において、主信号に新しいデータを挿入する場合に、データ挿入点までの回線監視情報を保持したまま監視データを付け替える手段を提供する。

【0023】なお、本実施例では、1フレームのタイムスロット数を10としTS<sub>2</sub>をデータの挿入位置としTS<sub>4</sub>を監視データの位置としているが、1フレームのタイムスロット数がいくつであっても、データの挿入位置及び監視データの位置がどのタイムスロットであっても本発明が有効であることは明らかである。また、本実施例では、1タイムスロットのデータを1ビットとしているが、主信号がシリアルデータまたはパラレルデータのいずれの場合でも、監視データとして使用するパリティビットの数だけ本発明の回路を備えることにより、本発明が有効であることは明らかである。

【0024】

【発明の効果】以上説明したように、本発明の監視データ付け替え回路は、主信号に新しいデータを挿入する場合に挿入点までの回線監視情報を保持したまま監視データを付け替えることができるから、従来の回路を使用した場合に必要となっていた本来の目的とは無関係の三つの余分な手段すなわちデータ挿入点で始点から挿入点までの回線監視情報を取り出すための手段と、取り出した回線監視情報を回線監視区間の終点まで送信するための手段と、終点でデータ挿入点から終点までの回線監視情報とデータ挿入点から送信されてきた始点からデータ挿入点までの回線監視情報とを合わせて回線監視区間すべての監視情報として判断するための手段とを不必要な手段とすることができるので、回線監視区間全体において回路の規模を小さくすることができる。

【図面の簡単な説明】

【図1】本発明を使用する主信号1フレームの構成例を示す図である。

【図2】本発明を使用する主信号の構成例を示す図である。

【図3】本発明の実施例を示すブロック図である。

【図4】図3の実施例の各部における動作を説明するための波形図の一例である。

【図5】図3の実施例の各部における動作を説明するための波形図の一例である。

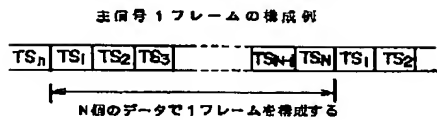
【図6】図3の実施例の各部における動作を説明するための波形図の一例である。

【図7】従来の監視システムを示すブロック図である。

【符号の説明】

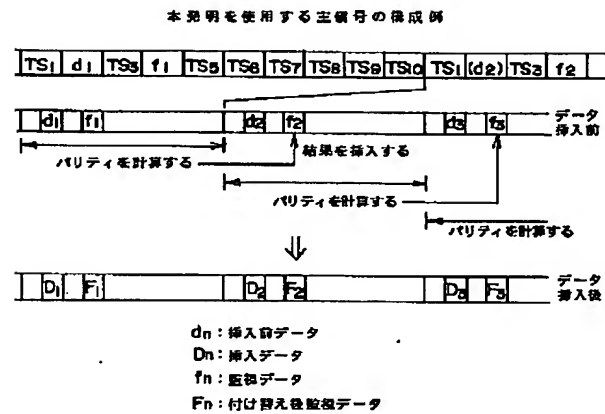
- 7
- 1 検出回路  
2 遅延回路  
3 挿入回路  
4 遅延回路  
5～8 排他的論理和回路

【図1】

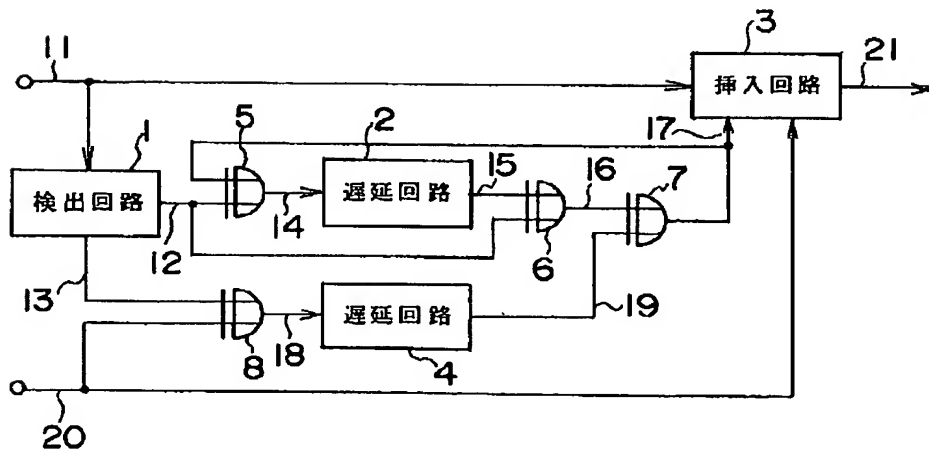


- 8
- 4 1 検出回路  
4 2 パリティ計算回路  
4 3 比較回路  
4 4 パリティ計算回路

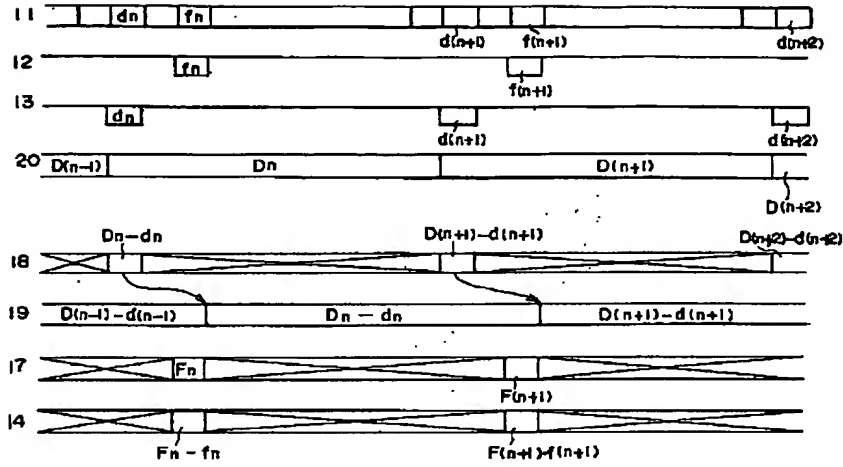
【図2】



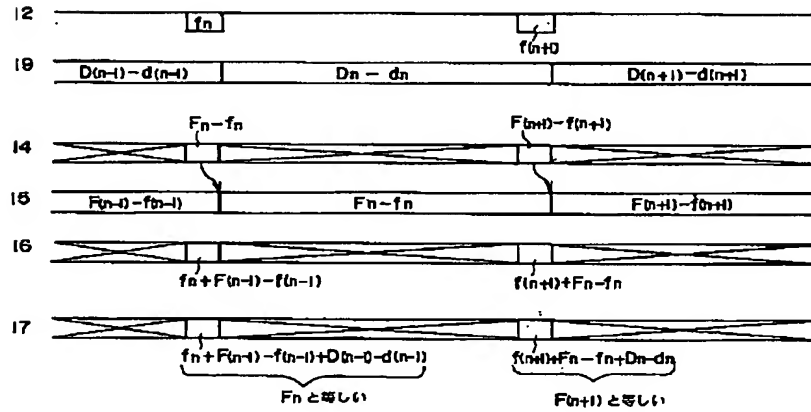
【図3】



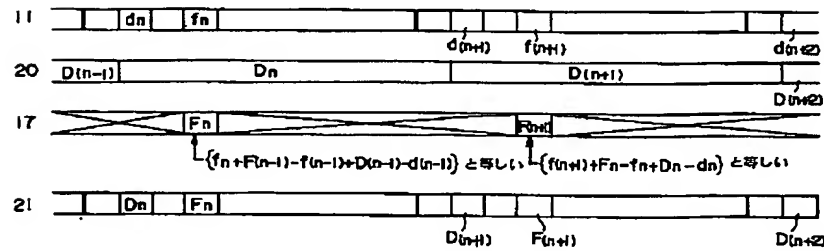
【図4】



【図5】



【図6】



【図7】

